

低 k 介质对 CMOS 芯片动态功耗的影响*

王鹏飞¹ 丁士进¹ 张 卫¹ 王季陶^{1**} 李 伟²

1. 复旦大学电子工程系, 上海 200433; 2. 台湾集成电路制造公司

摘要 利用 CMOS 电路动态功耗模型, 对采用不同介电常数绝缘介质的 CMOS 集成电路进行模拟, 研究了不同特征尺寸集成电路中低介电常数绝缘介质薄膜对电路动态功耗的影响. 发现集成电路特征尺寸越小, 电路功耗-延迟积与金属互连长度的线性关系越好. 并且随绝缘介质介电常数降低, 电路动态功耗的两个部分: 状态翻转功耗与直通短路功耗, 都有明显的降低. 因此在 ULSI 中采用低介电常数绝缘介质是降低电路功耗的一种十分有效的途径.

关键词 低介电常数绝缘介质 互连延迟 动态功耗 深亚微米

在高性能的超大规模集成芯片比如动态随机存储芯片 (DRAM)、微处理器 (MPU)、专用集成电路芯片 (ASIC) 中, 多级互连已经成为不可缺少的技术, 电路的布线层数已从最初的单层布线发展到现在的 5 层甚至 7 层布线^[1]. 芯片中器件特征尺寸, 金属布线的线间距及层间距在不断缩小, 这使得金属布线电阻与互连寄生电容增大, 因而互连延迟随芯片集成度的提高呈不断增大的趋势. 已经有不少关于不同互连金属及绝缘介质对不同特征尺寸集成电路速度影响的研究^[2, 3], 但有关低介电常数绝缘介质对集成电路功耗影响的研究很少. 功耗是集成电路的重要性能, 很有必要研究在集成电路中采用低介电常数绝缘介质对功耗的影响. 本文研究了不同特征尺寸集成电路使用不同绝缘介质后的功耗性能, 定量计算了电路动态功耗随绝缘介质介电常数降低的变化.

1 电路模型与动态功耗模型

1.1 电路模型

图 1 是 CMOS 芯片中典型的对管倒相器单元电路, 它包括了 CMOS 倒相器、负载电阻与负载电容, 用它研究电路功耗具有一定的代表性. 图中 R_L 代表互连电阻, C_L 是互连电容, C_{in} 是下一级门的输入电容, 互连电阻与互连电容串联构成了 RC 回路. 在模拟中 MOS 管的输出电容因远小于互连电容而忽略不计. 电路模型 a 中负载电容 C_{Load} 可以表示如下

$$C_{Load} = C_L + C_{in}, \quad (1)$$

2000-06-08 收稿, 2000-09-06 收修改稿

* 国家自然科学基金资助项目 (批准号: 69776026)

** 通信联系人

电路直通短路功耗 P_{sc} 可表示为

$$P_{sc} = \frac{\beta}{12} (V_{dd} - V_{thn} - V_{thp})^3 \frac{\tau}{T}, \quad (6)$$

其中,式(6)假设 NMOS 管与 PMOS 管有相同的 β , V_{thn} 与 V_{thp} 分别是 NMOS 与 PMOS 管的阈值电压, τ 是输入信号上升或下降沿时间, T 是输入信号状态翻转周期(每次翻转的平均时间). 文中功耗延迟积由电路模型(a)计算,直通短路功耗则由电路模型(b)中次级倒相器的模拟计算得到.

2 模拟结果与分析

根据前面介绍的模型,结合 0.50,0.25 及 0.13 μm 特征尺寸铝布线集成电路的工艺参数,可以计算出不同尺寸工艺下仍使用 SiO_2 ($\epsilon = 4.1$) 薄膜作为绝缘介质时金属互连长度与电路功耗延迟积的关系. 结果如图 3 所示(计算使用的工艺参数列在表 1 内). 从图 3 可以看出,ULSI 特征尺寸越小,功耗-延迟积与金属互连长度的关系越接近线性关系. 这表明在小尺寸集成电路中电路状态翻转功耗主要由金属互连决定. 这是因为随着电路特征尺寸的降低,电路中栅极电容下降很快,所以在小尺寸 ULSI 中电路(a)的 C_{Load} 中 C_L 占的比例增大,成为影响电路功耗-延迟积的主要因素. 可见在小尺寸集成电路中应用低介电常数绝缘介质来降低互连电容可以直接、有效地降低电路功耗.

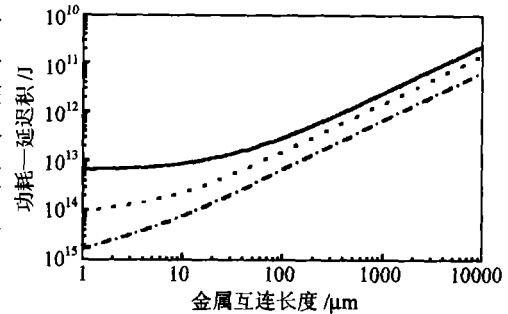


图3 不同工艺尺寸的集成电路(a)中金属互连长度与功耗-延迟积的关系

表1 不同尺寸集成电路的工艺参数

电路特征尺寸 $\lambda/\mu\text{m}$	金属连线宽度 $L/\mu\text{m}$	金属厚度 t/μ	绝缘介质厚度 h/nm	栅区宽度 $w/\mu\text{m}$	栅极氧化层厚度 t_{ox}/nm	电容参数 K_C	工作电压 V_{dd}/V
0.50	0.50	0.50	360	3.60	11.00	4.30	3.30
0.25	0.25	0.40	200	1.00	7.00	5.20	2.50
0.13	0.13	0.36	130	0.39	5.80	5.70	1.80

目前研究较多的低介电常数薄膜如表 2 所示,由于互连电容大小与绝缘介质介电常数成正比,低介电常数绝缘介质的应用,可以有效地降低互连电容,从而减小互连延迟,提高电路的噪声容限. 同时,电路的功耗也因互连电容的改变而变化(见图 4).

表2 不同低介电常数绝缘介质及其相对介电常数

薄膜种类	含氟氧化硅薄膜 (SiOF) ^[5,6]	聚酰亚胺薄膜 (PI)	掺碳 SiOF 薄膜 (SiOF:C) ^[7]	非晶含氟碳膜 ($\alpha\text{-C:F}$) ^[8]	聚对二甲苯薄膜 (Paylene N) ^[9]	Teflon-AF 系列 薄膜	气凝胶
相对介电常数 ϵ	3.2~3.7	3.2	2.8~3.0	2.5	2.3	1.9~2.2	1.1

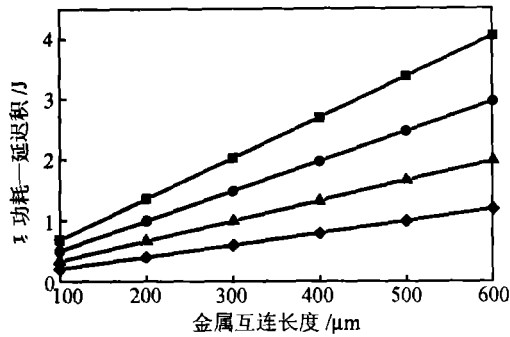


图 4 0.13 μm 尺寸铝布线集成电路中使用不同介电常数绝缘介质后功耗-延迟积与金属互连长度的关系

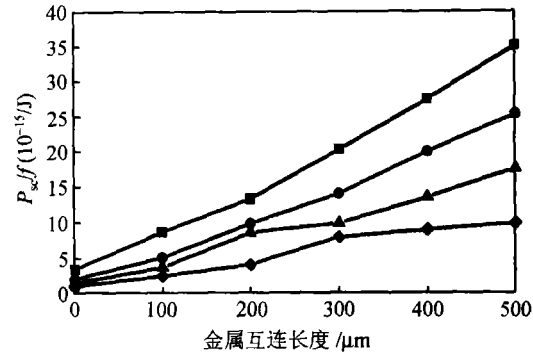


图 5 电路模型(b)中每个信号周期内次级电路直通短路功耗 P_{sc} 与互连长度的关系图(f 为输入信号频率)

图 4 中,各直线的斜率比近似为所采用的绝缘介质介电常数之比,使用 ϵ 为 1.2, 2 和 3 的介质后,其功耗-延迟积可分别降低到 ϵ 为 4.1 时的 30%, 49% 和 73%, 说明 0.13 μm 集成电路中使用低介电常数绝缘介质后电路的功耗-延迟积明显降低. 当金属互连长度减小时, 电路功耗-延迟积也线性降低, 这是因为器件尺寸减小使 MOS 管的栅极电容迅速降低, 使互连电容成为影响功耗-延迟积的重要因素, 所以在高集成度的深亚微米集成电路中, 降低互连电容是降低电路功耗必不可少的手段.

低介电常数绝缘介质的使用对电路直通短路功耗也有一定的影响. 电路直通短路功耗是由于在信号上升沿和下降沿的一段时间 PMOS 管与 NMOS 管同时导通而产生的功耗. 如(6)式所示, 它的大小与输入信号上升沿、下降沿的宽度成正比, 宽度越大, 直通短路功耗越大. 由于低介电常数绝缘介质的使用使信号延迟减小, 输入信号上升沿或下降沿时间变短, 电路直通短路功耗 P_{sc} 也随之降低. 图 5 是用 SPICE 软件对图 2 中两个 0.25 μm 工艺 CMOS 倒相器串联后每个信号周期内次级倒相电路直通短路功耗 P_{sc} 的模拟计算结果. 输入的周期信号周期为 26 ns, 上升沿及下降沿宽度分别为 3 ns. 图 5 中在相同互连长度时, 介电常数越低, 每个信号周期内的直通短路功耗越小. 当互连长度为 400 μm , 绝缘介质介电常数分别为 4.1, 3, 2 与 1.2 时, 电路每个信号周期内直通短路功耗的比为 3.0:2.2:1.5:1.

参 考 文 献

- 1 William L W, et al. Low-dielectric constant materials for ULSI interlayer-dielectric applications. MRS Bulletin, 1997, 22(10): 19
- 2 Saraswat K C, et al. Effect of scaling of interconnections on the time delay of VLSI circuits. IEEE Trans Electron Devices, 1982, 29(4): 645
- 3 Garner D S, et al. Interconnection and electromigration scaling theory. IEEE Trans Electron Devices, 1987, 34(3): 633
- 4 Subhas B, et al. Analysis of effects of scaling on interconnection delay in ULSI circuits. IEEE Trans Electron Devices, 1993, 40(4): 591
- 5 Sik Y W, et al. Plasma enhanced chemical vapor deposition and characterization of fluorine doped silicon dioxide films. Jpn J Appl, 1997, 36: 267

- 6 Viren V S, et al. Low dielectric constant fluorine doped TEOS films. *Mat Res Soc Symp Proc*, 1998, 511: 239
- 7 Lubgunban J, et al. Stability of the dielectric properties of PECVD deposited carbon-doped SiOF films. *Thin Solid Films*, 1999(1-2), 337: 67
- 8 Endo K, et al. Plasma deposition of low-dielectric constant fluorinated amorphous carbon. *J Appl Phys*, 1999, 86(5): 2739
- 9 Lu T M. et al. Vapor deposition of low-dielectric-constant polymeric thin films. *MRS Bulletin*, 1997, 22(10): 28